

(5) Japanese Patent Application Laid-Open No. 7-176699 (1995)

“LC Element, Semiconductor Device and Method of Manufacturing LC element”

This reference corresponds to United States Patent No. 5,500,552 (reference “(6)”)

特開平7-176699

(43)公開日 平成7年(1995)7月14日

(51)Int.Cl.<sup>8</sup>

識別記号

F I

H01L 27/04

21/822

H01F 27/00

H01G 4/40

H03H 7/01

Z 8321-5J

審査請求 未請求 請求項の数17 F D (全19頁) 最終頁に続く

(21)出願番号 特願平6-133639

(22)出願日 平成6年(1994)5月24日

(31)優先権主張番号 特願平5-203623

(32)優先日 平5(1993)7月26日

(33)優先権主張国 日本 (J P)

(31)優先権主張番号 特願平5-294282

(32)優先日 平5(1993)10月29日

(33)優先権主張国 日本 (J P)

(71)出願人 593119169

株式会社ティ・アイ・エフ

東京都大田区山王二丁目5番6-213号

(72)発明者 池田 毅

東京都大田区山王2-5-6-213

(72)発明者 中西 努

東京都葛飾区亀有4丁目25-6-205

(72)発明者 岡本 明

埼玉県上尾市緑丘4丁目7-17

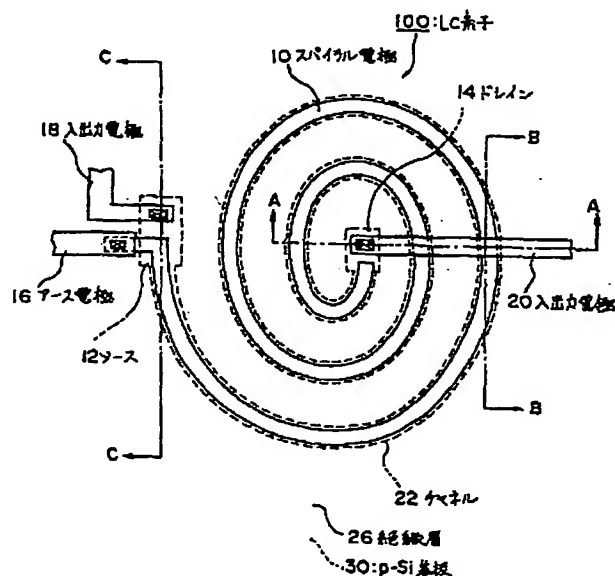
(74)代理人 弁理士 布施 行夫 (外2名)

(54)【発明の名称】 LC素子、半導体装置及びLC素子の製造方法

(57)【要約】

【目的】 MOS製造技術を用いることにより簡単に製造することができ、後工程における部品の組み付け作業を省略することができ、しかもICやLSIの一部として形成することが可能なLC素子、半導体装置及びLC素子の製造方法を提供すること。

【構成】 LC素子100は、p-Si基板の表面付近の隔たった位置に形成されたソース12とドレイン14の間を渦巻き形状のゲートとして機能するスパイラル電極10に対する電圧の印加によって形成されるチャネル22によって接続することにより形成されている。チャネル22とスパイラル電極10の双方がインダクタ用導体として機能するとともに、これらの間にキャパシタが分布定数的に形成され、広い帯域にわたって良好な減衰特性を有する素子となる。



## 【特許請求の範囲】

【請求項 1】 半導体基板上に形成され、ゲートとして機能する渦巻き形状の電極と、  
前記渦巻き形状の電極と前記半導体基板との間に形成された絶縁層と、

前記半導体基板内であって、前記渦巻き形状の電極に対応して形成されるチャンネルの両端付近に形成されたソースおよびドレインと、

を備え、前記渦巻き形状の電極とこれに対応して形成される前記チャンネルのそれぞれによって形成されるインダクタと、これらの間に形成されるキャパシタとが分布定数的に存在し、少なくとも前記チャンネルを信号入出力路として用いることを特徴とする LC 素子。

【請求項 2】 半導体基板上に形成され、ゲートとして機能する渦巻き形状の電極と、  
前記渦巻き形状の電極と前記半導体基板との間に形成された絶縁層と、

前記半導体基板内であって、前記渦巻き形状の電極に対応して形成されるチャンネルの一方端付近に形成されたソースあるいはドレインと、

を備え、前記渦巻き形状の電極とこれに対応して形成される前記チャンネルのそれぞれによって形成されるインダクタと、これらの間に形成されるキャパシタとが分布定数的に存在し、前記渦巻き形状の電極を信号入出力路として用いることを特徴とする LC 素子。

【請求項 3】 請求項 1 または 2 において、  
前記半導体基板表面であって前記渦巻き形状の電極に対応する位置に、予めキャリアを注入することを特徴とする LC 素子。

【請求項 4】 請求項 1 または 2 において、  
前記半導体基板表面であって前記チャンネルが形成される位置の少なくとも一部に予めキャリアを注入するとともに、前記渦巻き形状の電極に対して前記チャンネルの長さを長くあるいは短く設定することにより、前記渦巻き形状の電極と前記チャンネルとを部分的に対応させることを特徴とする LC 素子。

【請求項 5】 請求項 1, 3, 4 のいずれかにおいて、  
前記渦巻き形状の電極を複数に分割し、分割された複数の電極片のそれぞれの一部を電氣的に接続することを特徴とする LC 素子。

【請求項 6】 請求項 2～4 のいずれかにおいて、  
前記チャンネルが形成される位置の一部に予めキャリアを注入しておくことにより、前記渦巻き形状の電極に対応して形成される前記チャンネルを複数に分割し、分割されたそれぞれのチャンネルの一方端付近に前記ソースあるいは前記ドレインを設け、これら複数のソースあるいはドレインを電氣的に接続することを特徴とする LC 素子。

【請求項 7】 請求項 1, 3, 4 のいずれかにおいて、  
前記チャンネルの両端付近に形成された前記ソースおよび前記ドレインのそれぞれに電氣的に接続された第 1 およ

び第 2 の入出力電極と、

前記渦巻き形状の電極の一方端付近に電氣的に接続されたアース電極と、

を有し、前記第 1 および第 2 の入出力電極のいずれか一方から信号を入力し、他方から信号を出力するとともに、前記アース電極を固定電位の電源に接続あるいは接地することを特徴とする LC 素子。

【請求項 8】 請求項 2～4 のいずれかにおいて、  
前記渦巻き形状の電極の両端付近に電氣的に接続された第 1 および第 2 の入出力電極と、

前記チャンネルの一方端付近に形成された前記ソースあるいは前記ドレインに電氣的に接続されたアース電極と、  
を有し、前記第 1 および第 2 の入出力電極のいずれか一方から信号を入力し、他方から信号を出力するとともに、前記アース電極を固定電位の電源に接続あるいは接地することを特徴とする LC 素子。

【請求項 9】 請求項 1, 3, 4 のいずれかにおいて、  
前記渦巻き形状の電極の両端付近に電氣的に接続された第 1 および第 2 の入出力電極と、

20 前記チャンネルの両端付近に形成された前記ソースおよび前記ドレインのそれぞれに電氣的に接続された第 3 および第 4 の入出力電極と、

を有し、前記渦巻き形状の電極とこれに対応して形成される前記チャンネルとの両方を信号入出力路とするコモンモード型の素子として用いられることを特徴とする LC 素子。

【請求項 10】 請求項 1～9 のいずれかにおいて、  
前記渦巻き形状の電極に対して印加するゲート電圧を可変に設定することにより、少なくとも前記チャンネルの抵抗値を可変に制御することを特徴とする LC 素子。

30 【請求項 11】 請求項 1～10 のいずれかの LC 素子を基板の一部として形成し、前記渦巻き形状の電極およびこれに対応して形成されたチャンネルの少なくとも一方を信号ラインあるいは電源ラインに挿入して一体形成したことを特徴とする半導体装置。

【請求項 12】 請求項 1～10 のいずれかにおいて、  
全表面に化学液相法により絶縁膜を形成し、前記渦巻き形状の電極の端部近傍あるいは前記入出力電極または前記アース電極に対応する前記絶縁膜の一部をエッチングあるいはレーザー光照射によって除去して孔をあけ、その孔を半田で表面に盛り上がる程度に封じることにより端子付けを行うことを特徴とする LC 素子。

【請求項 13】 請求項 1, 3～5, 7, 9 のいずれかの LC 素子の前記ソースおよび前記ドレインのいずれか一方に、前記チャンネルを介して出力される信号を増幅するバッファを接続したことを特徴とする半導体装置。

【請求項 14】 請求項 1, 3～5, 7, 9 のいずれかの LC 素子の前記ソースおよび前記ドレインのいずれか一方に、前記チャンネルを介して出力される信号の電圧レベルを変更するレベル変換回路を接続したことを特徴と

する半導体装置。

【請求項 15】 請求項 1～9 のいずれかにおいて、前記渦巻き形状の電極に過電圧を動作電源ライン側あるいはアース側にバイパスさせる保護回路を設けたことを特徴とする LC 素子。

【請求項 16】 半導体基板に部分的に不純物を注入することによりソースとドレインを形成する第 1 の工程と、

前記半導体基板上の全面あるいは部分的に絶縁層を形成する第 2 の工程と、

前記絶縁層のさらに表面に前記ソースと前記ドレインを結ぶように渦巻き形状の電極を形成する第 3 の工程と、前記ソース、ドレインと前記渦巻き形状の電極のそれぞれに電気的に接続される配線層を形成する第 4 の工程と、

を含むことを特徴とする LC 素子の製造方法。

【請求項 17】 半導体基板に部分的に不純物を注入することによりソースあるいはドレインを形成する第 1 の工程と、

前記半導体基板上の全面あるいは部分的に絶縁層を形成する第 2 の工程と、

前記絶縁層のさらに表面に前記ソースあるいは前記ドレインの近傍に一方端が位置するように渦巻き形状の電極を形成する第 3 の工程と、

前記ソースあるいはドレインと前記渦巻き形状の電極のそれぞれに電気的に接続される配線層を形成する第 4 の工程と、

を含むことを特徴とする LC 素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置等に組み込まれて、あるいは単体で所定の周波数帯域を減衰させることができる LC 素子、半導体装置及び LC 素子の製造方法に関する。

【0002】

【従来の技術】近年の電子技術の発達に伴い、電子回路は各種分野において幅広く用いられており、したがってこれら各電子回路を外部からの影響を受けることなく安定して確実に動作させることが望まれる。

【0003】しかし、このような電子回路には、直接あるいは間接的に外部からノイズが侵入する。このため、電子回路を使用した各種電子機器に誤動作が引き起こされる場合が少なくないという問題がある。

【0004】特に、電子回路は、直流電源としてスイッチングレギュレータを用いる場合が多い。したがって、スイッチング等の過渡電流により、または使用するデジタル IC のスイッチング動作に起因する負荷変動により、スイッチングレギュレータの電源ラインには各種の周波数成分を持った大きなノイズが発生することが多い。そして、これらのノイズは、同じ機器内の他の回路

へ電源ラインを介して、または輻射により伝搬され誤動作や S/N 比の低下等の悪影響を及ぼし、さらに近くで使用中的他の電子機器の誤動作を引き起こすことがある。

【0005】このようなノイズを除去するため、一般に電子回路では各種のノイズフィルタが用いられている。特に、近年では各種構成の電子機器を多数使用しているため、ノイズに対する規制もますます激しくなっており、このため発生するノイズを確実に除去することができる小型でしかも高性能なノイズフィルタとして機能する LC 素子の開発が望まれる。

【0006】このような LC 素子の 1 つとして、特開平 3-259608 号公報に開示された LC ノイズフィルタが知られている。この LC ノイズフィルタは、L 成分と C 成分とが分布定数的に存在するものであり、集中定数タイプの LC ノイズフィルタに比べて比較的広い帯域にわたって良好な減衰特性を得ることができるというものである。

【0007】

【発明が解決しようとする課題】ところで、上述した LC ノイズフィルタは、絶縁シート的一方の面にキャパシタ用導電体を、他方の面にインダクタ用導電体をそれぞれ形成した後に、この絶縁シートを折りたたむことにより製造されるものであり、絶縁シートの折り返し等の工程が必要なため製造工程が複雑になるという問題があった。

【0008】また、この LC ノイズフィルタを IC や LSI の電源ラインあるいは信号ラインに直接挿入して使用する場合には、LC ノイズフィルタと IC 等とを配線しなければならず、部品組み付けの手間がかかるという問題点があった。

【0009】さらに、この LC ノイズフィルタは部品単体として形成されるため、IC や LSI の回路に含ませて、すなわち IC や LSI 等の内部配線間に挿入することがほとんど不可能であるという問題があった。

【0010】そこで、本発明はこのような点に鑑みて創作されたものであり、その目的は、半導体製造技術を用いることにより簡単に製造することができ、後工程における部品の組み付け作業を省略することができ、しかも IC や LSI の一部として形成することが可能な LC 素子、半導体装置及び LC 素子の製造方法を提供することにある。

【0011】

【課題を解決するための手段】上述した課題を解決するために、請求項 1 の LC 素子は、半導体基板上に形成され、ゲートとして機能する渦巻き形状の電極と、前記渦巻き形状の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板内にあって、前記渦巻き形状の電極に対応して形成されるチャネルの両端付近に形成されたソースおよびドレインと、を備え、前記渦巻き形状

10

20

30

40

50

の電極とこれに対応して形成される前記チャネルのそれぞれによって形成されるインダクタと、これらの間に形成されるキャパシタとが分布定数的に存在し、少なくとも前記チャネルを信号入出力路として用いることを特徴とする。

【0012】請求項2のLC素子は、半導体基板上に形成され、ゲートとして機能する渦巻き形状の電極と、前記渦巻き形状の電極と前記半導体基板との間に形成された絶縁層と、前記半導体基板内であって、前記渦巻き形状の電極に対応して形成されるチャネルの一方端付近に形成されたソースあるいはドレインと、を備え、前記渦巻き形状の電極とこれに対応して形成される前記チャネルのそれぞれによって形成されるインダクタと、これらの間に形成されるキャパシタとが分布定数的に存在し、前記渦巻き形状の電極を信号入出力路として用いることを特徴とする。

【0013】請求項3のLC素子は、請求項1または2のLC素子において、前記半導体基板表面であって前記渦巻き形状の電極に対応する位置に、予めキャリアを注入することを特徴とする。

【0014】請求項4のLC素子は、請求項1または2のLC素子において、前記半導体基板表面であって前記チャネルが形成される位置の少なくとも一部に予めキャリアを注入するとともに、前記渦巻き形状の電極に対して前記チャネルの長さを長くあるいは短く設定することにより、前記渦巻き形状の電極と前記チャネルとを部分的に対応させることを特徴とする。

【0015】請求項5のLC素子は、請求項1、3、4のいずれかのLC素子において、前記渦巻き形状の電極を複数に分割し、分割された複数の電極片のそれぞれの一部を電氣的に接続することを特徴とする。

【0016】請求項6のLC素子は、請求項2～4のいずれかのLC素子において、前記チャネルが形成される位置の一部に予めキャリアを注入しておくことにより、前記渦巻き形状の電極に対応して形成される前記チャネルを複数に分割し、分割されたそれぞれのチャネルの一方端付近に前記ソースあるいは前記ドレインを設け、これら複数のソースあるいはドレインを電氣的に接続することを特徴とする。

【0017】請求項7のLC素子は、請求項1、3、4のいずれかのLC素子において、前記チャネルの両端付近に形成された前記ソースおよび前記ドレインのそれぞれに電氣的に接続された第1および第2の入出力電極と、前記渦巻き形状の電極の一方端付近に電氣的に接続されたアース電極と、を有し、前記第1および第2の入出力電極のいずれか一方から信号を入力し、他方から信号を出力するとともに、前記アース電極を固定電位の電源に接続あるいは接地することを特徴とする。

【0018】請求項8のLC素子は、請求項2～4のいずれかのLC素子において、前記渦巻き形状の電極の両

端付近に電氣的に接続された第1および第2の入出力電極と、前記チャネルの一方端付近に形成された前記ソースあるいは前記ドレインに電氣的に接続されたアース電極と、を有し、前記第1および第2の入出力電極のいずれか一方から信号を入力し、他方から信号を出力するとともに、前記アース電極を固定電位の電源に接続あるいは接地することを特徴とする。

【0019】請求項9のLC素子は、請求項1、3、4のいずれかのLC素子において、前記渦巻き形状の電極の両端付近に電氣的に接続された第1および第2の入出力電極と、前記チャネルの両端付近に形成された前記ソースおよび前記ドレインのそれぞれに電氣的に接続された第3および第4の入出力電極と、を有し、前記渦巻き形状の電極とこれに対応して形成される前記チャネルとの両方を信号入出力路とするコモンモード型の素子として用いられることを特徴とする。

【0020】請求項10のLC素子は、請求項1～9のいずれかのLC素子において、前記渦巻き形状の電極に対して印加するゲート電圧を可変に設定することにより、少なくとも前記チャネルの抵抗値を可変に制御することを特徴とする。

【0021】請求項11の半導体装置は、請求項1～10のいずれかのLC素子を基板の一部として形成し、前記渦巻き形状の電極およびこれに対応して形成されたチャネルの少なくとも一方を信号ラインあるいは電源ラインに挿入して一体形成したことを特徴とする。

【0022】請求項12のLC素子は、請求項1～10のいずれかのLC素子において、全表面に化学液相法により絶縁膜を形成し、前記渦巻き形状の電極の端部近傍あるいは前記入出力電極または前記アース電極に対応する前記絶縁膜の一部をエッチングあるいはレーザー光照射によって除去して孔をあけ、その孔を半田で表面に盛り上がる程度に封じることにより端子付けを行うことを特徴とする。

【0023】請求項13の半導体装置は、請求項1、3～5、7、9のいずれかのLC素子の前記ソースおよび前記ドレインのいずれか一方に、前記チャネルを介して出力される信号を増幅するバッファを接続したことを特徴とする。

【0024】請求項14の半導体装置は、請求項1、3～5、7、9のいずれかのLC素子の前記ソースおよび前記ドレインのいずれか一方に、前記チャネルを介して出力される信号の電圧レベルを変更するレベル変換回路を接続したことを特徴とする。

【0025】請求項15のLC素子は、請求項1～9のいずれかのLC素子において、前記渦巻き形状の電極に過電圧を動作電源ライン側あるいはアース側にバイパスさせる保護回路を設けたことを特徴とする。

【0026】請求項16のLC素子の製造方法は、半導体基板に部分的に不純物を注入することによりソースと

ドレインを形成する第1の工程と、前記半導体基板上の全面あるいは部分的に絶縁層を形成する第2の工程と、前記絶縁層のさらに表面に前記ソースと前記ドレインを結ぶように渦巻き形状の電極を形成する第3の工程と、前記ソース、ドレインと前記渦巻き形状の電極のそれぞれに電氣的に接続される配線層を形成する第4の工程と、を含むことを特徴とする。

【0027】請求項17のLC素子の製造方法は、半導体基板上に部分的に不純物を注入することによりソースあるいはドレインを形成する第1の工程と、前記半導体基板上の全面あるいは部分的に絶縁層を形成する第2の工程と、前記絶縁層のさらに表面に前記ソースあるいは前記ドレインの近傍に一方端が位置するように渦巻き形状の電極を形成する第3の工程と、前記ソースあるいはドレインと前記渦巻き形状の電極のそれぞれに電氣的に接続される配線層を形成する第4の工程と、を含むことを特徴とする。

【0028】

【作用】請求項1のLC素子では、半導体基板上に絶縁層が、さらにその上にゲートとして機能する渦巻き形状の電極が形成されており、渦巻き形状の電極と絶縁層と半導体基板とからなるMOS構造となっている。

【0029】ここで、ゲートとして機能する渦巻き形状の電極とこれに対応して形成されるチャネルとがそれぞれインダクタとして機能することになる。また、渦巻き形状の電極とこれに対応して形成されるチャネルとの間には絶縁層が介在しており、これらによってキャパシタが形成される。しかも、このキャパシタは渦巻き形状の電極およびチャネルの全長にわたって分布定数的に形成されている。このため、広い帯域にわたって良好な減衰特性を有するLC素子が形成されており、上述したチャネルの一方端に形成されたソースに入力された信号からは、分布定数的に存在するインダクタおよびキャパシタを介して伝搬される際に、ノイズ等の特定周波数成分のみが除去される。

【0030】特に、請求項1のLC素子は、半導体基板上にソースおよびドレインを形成するとともに、さらにその表面に絶縁層と渦巻き形状の電極を形成することにより製造することができ、製造が非常に容易となる。また、このLC素子は、半導体基板上に形成されるため、ICやLSIの一部として形成することも可能であり、このような部品の一部として形成した場合には、後工程における部品の組み付け作業を省略することができる。

【0031】また、請求項2のLC素子では、上述したLC素子がチャネルを信号入出力路として使用していたのに対し、渦巻き形状の電極を信号入出力路として使用したものであり、チャネルを介して信号を伝搬しないためソースあるいはドレインのいずれか一方が省略されている。

【0032】したがって、チャネルと渦巻き形状の電極

とがそれぞれインダクタとして機能するとともに、これらの間に分布定数的にキャパシタが形成される点は、上述した請求項1のLC素子と同じであり、広い帯域にわたって良好な減衰特性を有するLC素子が形成され、しかも、製造が容易であり、基板の一部として形成することが可能となる。

【0033】また、請求項3のLC素子では、渦巻き形状の電極に対応する位置に予めキャリアが注入されており、デプレッション型の素子が形成されている。この場合には、LC素子の特性そのものは変えずに、渦巻き形状の電極に電圧（ゲート電圧）を印加しない状態でチャネルを形成し、あるいは印加するゲート電圧とチャネル幅や深さ等との関係を変更することができる。

【0034】また、請求項4のLC素子では、渦巻き形状の電極とチャネルのいずれか一方を短く形成しており、この場合であっても同様に、長さが異なる渦巻き形状の電極とチャネルのそれぞれはインダクタとして機能し、これらの間には絶縁層を挟んで形成されるキャパシタが分布定数的に存在する。したがって、このLC素子は広い帯域にわたって良好な減衰特性を有するLC素子が形成され、しかも、製造が容易であり基板の一部として形成することが可能であるという利点がある。

【0035】但し、半導体基板の全面を同一状態に形成した場合には、渦巻き形状の電極の全長に対応してチャネルが形成されてしまうため、このチャネルの一部に予めキャリアを注入しておいて、エッチング等によりチャネルの一部を分断することにより、チャネルを短くする必要がある。

【0036】また、請求項5のLC素子では、渦巻き形状の電極を複数の電極片に分割するとともにこれらの一部を電氣的に接続して使用する。この場合には、各分割片の自己インダクタンスが小さくなり、これら各分割片の自己インダクタンスの影響が少ない分布定数型のLC素子を形成することができる。

【0037】また、請求項6のLC素子では、渦巻き形状の電極に対応して形成されるチャネルを複数に分割するとともに、分割されたそれぞれのチャネルの一方端付近のソースあるいはドレインを電氣的に接続して使用する。したがって、請求項5のLC素子と同様に、各分割チャネルの自己インダクタンスが小さくなり、これによる影響が少ない分布定数型のLC素子となる。

【0038】また、請求項7のLC素子では、渦巻き形状の電極に対応して形成されるチャネルの両端付近のソースおよびドレインに接続される第1および第2の入出力電極を設けるとともに、渦巻き形状の電極の一方端近傍にアース電極を設けることにより、チャネルが信号入出力路として使用される3端子型のLC素子を容易に形成することができる。

【0039】また、請求項8のLC素子は、請求項7のLC素子において入出力電極とアース電極とを入れ替え

たものである。すなわち、渦巻き形状の電極の両端付近に第 1 および第 2 の入出力電極を設けるとともに、チャンネルの一方端に形成されたソースあるいはドレインに接続されたアース電極を設けることにより、渦巻き形状の電極が信号入出力路として使用される 3 端子型の LC 素子を容易に形成することができる。

【0040】また、請求項 9 の LC 素子では、渦巻き形状の電極の両端付近に第 1 および第 2 の入出力電極を設けるとともに、この渦巻き形状の電極に対応するチャンネルの両端付近に形成されたソースおよびドレインに第 3 および第 4 の入出力電極を設けることにより、4 端子コモンモード型の LC 素子を容易に形成することができる。

【0041】また、請求項 10 の LC 素子では、渦巻き形状の電極に印加するゲート電圧を可変に設定することにより、この渦巻き形状の電極に対応して形成されるチャンネルの幅や深さが変わり、これに伴ってチャンネルの抵抗値が変化する。したがって、ゲート電圧を変えることにより、全体としての減衰特性、すなわち周波数特性を必要に応じて可変に制御することができる。

【0042】また、請求項 11 の半導体装置では、上述した各請求項の LC 素子を基板の一部に、信号ラインあるいは電源ラインに挿入するように形成している。これにより、半導体基板上の他の部品と一体的に製造することができ、製造が容易になるとともに後工程における部品の組み付け作業が不要となる。

【0043】また、請求項 12 の LC 素子は、上述した請求項 1 ~ 10 のいずれかの LC 素子を半導体基板上に形成した後に、化学液相法により全表面に絶縁膜を形成する。その後、この絶縁膜の一部にエッチングやレーザ光照射により孔をあけ、この孔に半田を盛ることにより半導体基板表面に形成されている電極に対する端子付けが行われる。したがって、表面実装型の LC 素子を簡単に製造することができ、表面実装型とすることによりこの LC 素子の組み付け作業も容易となる。

【0044】また、請求項 13 の半導体装置では、上述した LC 素子のチャンネルを介して出力される信号を増幅するバッファが接続されており、アルミニウム等の金属材料に比べて比抵抗が大きなチャンネルを介することにより電圧レベルが減衰した信号を、SN 比が良好な元の信号に復元することが可能となる。

【0045】また、請求項 14 の半導体装置では、上述したバッファの代わりにレベル変換回路が接続されている。このレベル変換回路を接続することにより、チャンネルを介して減衰した信号レベルを復元するとともに、所定のレベルの変換あるいはレベル補正を行なうことが可能となる。

【0046】また、請求項 15 の半導体装置では、渦巻き形状の電極に保護回路が接続されている。したがって、この渦巻き形状の電極に対して静電気等による過電

圧が印加された場合であっても、動作電源ライン側あるいはアース側にバイパス電流が流れるため、渦巻き形状の電極と半導体基板との間の絶縁破壊を防止することができる。

【0047】また、請求項 16 および請求項 17 の LC 素子の製造方法は、上述した各 LC 素子を半導体製造技術を適用して製造するための方法である。すなわち、第 1 の工程において半導体基板にソース、ドレインの両方を、あるいはいずれか一方を形成し、次に第 2 の工程において半導体基板表面に絶縁層を、第 3 の工程において渦巻き形状の電極をそれぞれ形成する。そして、第 4 の工程において入出力電極等を含む配線層が形成されて上述した LC 素子が完成する。

【0048】このように、上述した LC 素子は、一般的な半導体製造技術（特に MOS 製造技術）を応用することにより製造することができ、小型化および低コスト化が可能であるとともに、複数個同時に大量生産することも可能となる。

【0049】

20 【実施例】以下、本発明を適用した一実施例の LC 素子について、図面を参照しながら具体的に説明する。

【0050】〔第 1 実施例〕図 1 は、本発明を適用した第 1 実施例の LC 素子の平面図である。また、図 2 は図 1 の A-A 線拡大断面図、図 3 は図 1 の B-B 線拡大断面図、図 4 は図 1 の C-C 線拡大断面図である。

30 【0051】これらの図に示すように、本実施例の LC 素子 100 は、半導体基板である p 型シリコン基板（p-Si 基板）30 の表面付近の隔たった位置に形成されたソース 12 とドレイン 14 の間をゲートとして機能する渦巻き形状のスパイラル電極 10 に対する電圧の印加によって形成されるチャンネル 22 によって接続することにより形成されている。

【0052】上述したソース 12 およびドレイン 14 は、p-Si 基板 30 を反転させた n' 領域の拡散領域として形成される。例えば、As' イオンを熱拡散あるいはイオン打ち込みにより注入することにより、不純物濃度を高めることにより形成される。

40 【0053】また、ゲートとして機能するスパイラル電極 10 は、渦巻き形状の一方の端部がソース 12 の一部に、他方の端部がドレイン 14 の一部にオーバーラップするように、p-Si 基板 30 の表面に形成された絶縁層 26 を挟んで形成されている。スパイラル電極 10 は、例えばアルミニウムや銅あるいは金や銀等の薄膜を形成することによって、あるいは拡散またはイオン注入で P を多量にドーピングすることにより形成する。

50 【0054】また、絶縁層 26 は、p-Si 基板 30 の表面において、この p-Si 基板 30 とスパイラル電極 10 とを絶縁するためのものであり、ゲート膜の機能を有する。p-Si 基板 30 の全表面（あるいは少なくともスパイラル電極 10 に対応する部分）がこの絶縁層 2



6によって覆われており、さらにこの絶縁層26の表面に上述したスパイラル電極10が形成される。この絶縁層26は、例えばPを添加したSiO<sub>2</sub> (P-ガラス)によって形成されている。

【0055】また、上述したスパイラル電極10、ソース12、ドレイン14のそれぞれには、図1～図4に示すように、アース電極16及び入出力電極18、20が接続されている。スパイラル電極10に対するアース電極16の取り付けは、図1に示すように、薄いゲート膜を傷付けないように能動領域の外側で行われる。また、ソース12への入出力電極18の取り付け、及びドレイン14への入出力電極20の取り付けは、図4あるいは図2に示すように、ソース12及びドレイン14の一部を露出させた後に、アルミニウムや銅あるいは金や銀等の金属膜を付けることにより行われる。また、渦巻き形状のほぼ中心部分に位置するドレイン14に接続された入出力電極20は、図3に示すように、スパイラル電極10の各周回部分と絶縁状態を保つように外周側に引き出されている。

【0056】上述した構造を有する本実施例のLC素子は、nチャネルエンハンスメント型の構造を有しているものとすれば、スパイラル電極10に正の電圧が印加されたときに初めてn型のチャンネル22が形成されることになる。そして、このチャンネル22と上述したスパイラル電極10のそれぞれが渦巻き形状のインダクタ用導体として機能するとともに、これらチャンネル22およびスパイラル電極10の間には分布定数的にキャパシタが形成される。

【0057】図5は、チャンネル22が形成される状態を示す断面図であり、スパイラル電極10の渦巻き方向に対して垂直方向にとった断面が示されている。スパイラル電極10に対して、すなわちスパイラル電極10に接続されたアース電極16に正のゲート電圧が印加されていない状態では、同図(A)に示すようにp-Si基板30の表面にはチャンネル22が現れない。したがって、この状態では図1に示したソース12とドレイン14とが絶縁された状態にある。

【0058】ところが、スパイラル電極10に対して正のゲート電圧を印加すると、図5(B)に示すように、スパイラル電極10に対応するp-Si基板30の表面付近にn領域からなるチャンネル22が出現する。このチャンネル22は、スパイラル電極10の全長にわたって形成されるため、スパイラル電極10とチャンネル22のそれぞれに蓄積される電荷によりこれら間には分布定数的にキャパシタが形成されることになる。

【0059】図6は、本実施例のLC素子100の断面構造であり、スパイラル電極10の渦巻き方向に沿った断面が示されている。同図に示すように、スパイラル電極10に平行にチャンネル22が形成され、このチャンネル22によってソース12とドレイン14とが導通状態に

なる。例えば、エンハンスメント型の場合は、スパイラル電極10に所定のゲート電圧を印加した状態で初めてこのチャンネル22が形成されてソース12とドレイン14とが導通状態となるが、スパイラル電極10に印加するゲート電圧を変えることによりチャンネル22の幅および深さが変わるため、ソース12とドレイン14との間の抵抗値を変化させることができる。

【0060】なお、アース電極16を介してスパイラル電極10に印加するゲート電圧は、実際には図6におけるサブストレート24に対する相対的なものである。特に、本実施例のLC素子100は、渦巻き方向に沿って長いスパイラル電極10がゲートとして機能し、このスパイラル電極10の全長にわたって確実にチャンネル22を形成する必要がある。例えば、スパイラル電極10の一方端に設けられたアース電極16とソース12との間にゲート電圧に相当する所定の電位差を設定するだけでは不十分であり、ドレイン14近傍のチャンネル22が形成されないおそれがある。このため、スパイラル電極10とこの近傍に位置するサブストレート24との間に所定のゲート電圧の印加を行う必要がある。また、最も好ましくは、サブストレート24の全面(図6に示したp-Si基板30の下面側)に電極を形成してこの電極とアース電極16との間に所定の電位差を設定する。

【0061】図7は、第1実施例のLC素子の等価回路を示す図である。同図(A)に示す等価回路は、入出力電極18、20が設けられたチャンネル22側を信号の入出力路として使用するとともに、スパイラル電極10の一方端近傍に設けられたアース電極16を接地した場合が示されており、3端子型LC素子として機能するものである。

【0062】この場合には、アース電極16が接地されているため、入出力電極18、20に入出力する信号の電圧レベルおよびp-Si基板30のサブストレート24側に印加する電圧レベルを負に保つ必要がある。このようにすれば、相対的に正のゲート電圧がスパイラル電極10側に印加されたことになり、しかもソース12およびドレイン14近傍でチャンネル22が分断されることがない。

【0063】なお、後述するように、チャンネル22が形成される位置に予めn型のキャリアを注入しておくデプレション型構造とすることにより、入出力電極18、20に入出力される信号の電圧レベルが正であってもチャンネル22が形成されるようにすることもできる。

【0064】このような等価回路を有する本実施例のLC素子100において、信号入出力路となるチャンネル22は、渦巻き形状に形成されているため、インダクタンスL1を有するインダクタ導体として機能する。同様に、スパイラル電極10も渦巻き形状に形成されているため、インダクタンスL2を有するインダクタ導体として機能する。また、これら2つのインダクタ導体は、絶



縁層26を挟んで配置されているため、これらチャンネル22とスパイラル電極10によって所定のキャパシタンスCを有するキャパシタが分布定数的に形成される。

【0065】したがって、本実施例のLC素子100は、インダクタンスとキャパシタンスとが分布定数的に存在し、従来の集中定数型の素子にはない優れた減衰特性を発揮することができ、入出力電極18、20のいずれか一方から入力された信号からは所定の周波数成分のみが除去され他方から出力されるようになる。特に、本実施例のLC素子100は、スパイラル電極10およびこれに対応するチャンネル22が渦巻き形状に、しかも各周回部分の径が連続的に次第に変化するように形成されている。そのため、分布定数的に形成されたインダクタとキャパシタとにより決定される減衰特性（チャンネル22を介して信号を伝搬した場合の挿入損失特性）も広帯域にわたって信号を減衰させるものとなるため、このLC素子100は、ノイズ等の特定周波数成分のみを除去する場合に特に有効となる。

【0066】また、図7(B)は、アース電極16に対して可変のコントロール用電圧Vcを印加する場合の等価回路を示すものである。アース電極16に印加するコントロール電圧Vcを変えることにより、チャンネル22の深さが変わるためチャンネル22の移動度が変わって、結果的にチャンネル22の抵抗値を任意に変化させることができる。

【0067】これにより、チャンネル22とスパイラル電極10の各インダクタンスやこれらの間に分布定数的に形成されたキャパシタが有するキャパシタンス、さらにはチャンネル22が有する抵抗値により決定されるLC素子100全体の減衰特性が変化することになる。換言すれば、このコントロール用電圧Vcを変化させることにより、本実施例のLC素子100の特性をある範囲で任意に変化させることができる。

【0068】なお、上述したLC素子100は、ソース12とドレイン14の間にnチャンネルを形成する場合を説明したが、この場合は、キャリアとして電子が使用されるため移動度が大きく、チャンネル22の抵抗が小さくなる。これに対し、n型シリコン(n-Si)基板上にpチャンネルを形成することにより、上述したLC素子100を形成するようにしてもよい。この場合は、キャリアとしてホールが用いられるため、チャンネル22の抵抗が比較的大きくなり、上述したnチャンネルの場合と比較すると異なる特性を有することになる。

【0069】図8は、渦巻き形状のスパイラル電極10に印加するゲート電圧（コントロール電圧Vc）を変化させてチャンネル22の深さ等を変えた場合のチャンネル抵抗Rを説明するための図である。同図(A)は、実際には渦巻き形状のスパイラル電極10を直線形状と仮定した場合の平面図であり、同図(B)は、そのA-A線断面図である。

【0070】同図において、Wはゲート幅であり、Xはチャンネルの深さである。このように、幅Wのスパイラル電極10によってチャンネル22が形成されると、この形成されたチャンネル22のチャンネル幅は(W+2X)となる。したがって、チャンネル22のソース12及びドレイン14間の抵抗Rは、

$$R = \rho L / (W + 2X)$$

で計算することができる。ここで、 $\rho$ はチャンネル22の単位面積当たりの抵抗であり、上述した式はチャンネル抵抗Rがチャンネルの長さLに比例し、チャンネル幅(W+2X)に反比例していることを示す。

【0071】次に、本実施例のLC素子100の製造工程について説明する。

【0072】図9は、本実施例のLC素子100の製造工程を示す図であり、一例としてエンハンスメント型のLC素子100の場合が示されている。なお、同図はスパイラル電極10の渦巻き方向に断面をとったものである。

【0073】(1)酸化膜の形成：まず最初に、p-Si基板30の表面を熱酸化することにより、二酸化シリコンSiO<sub>2</sub>を形成する（同図(A)）。

【0074】(2)ソース・ドレインの窓開け：次に、p-Si基板30表面の酸化膜に対してフォトリソグラフィを行うことにより、ソース12及びドレイン14に対応する部分の窓開けを行う（同図(B)）。

【0075】(3)ソース・ドレインの形成：次に、窓開けした部分からn型不純物を注入することによりソース12及びドレイン14を形成する（同図(C)）。例えば、n型不純物としてAs<sup>+</sup>が用いられ、この不純物が熱拡散によって注入される。また、このn型不純物をイオン打ち込みにより注入する場合には、上述した(2)における窓開けは不要となる。

【0076】(4)ゲート領域の除去：次に、スパイラル電極10を形成したい部分の酸化膜を除去することにより、ゲート領域の開口部を形成する（同図(D)）。本実施例のLC素子100の場合は、スパイラル電極10を渦巻き形状に形成するため、このゲート領域開口部の形成も渦巻き形状になるように行われる。このようにしてスパイラル電極10に対応する部分のみp-Si基板30が露出することになる。

【0077】(5)ゲート酸化膜の形成：次に、このようにして部分的に露出したp-Si基板30に対して新しい酸化膜、すなわち絶縁層26の形成を行う（同図(E)）。

【0078】(6)ゲート及び電極の形成：次に、例えばアルミニウム等を蒸着することにより、ゲートとして機能するスパイラル電極10を形成するとともに、ソース12に接続される入出力電極18及びドレイン14に接続される入出力電極20のそれぞれを形成する（同図(F)）。

10

20

30

40

50

【0079】(7)絶縁層の形成：最後に、全面にP-ガラスを付着させた後、加熱して平滑な表面を形成する(同図(G))。

【0080】このようにしてLC素子100を製造する工程は、基本的には通常のMOS-FETを製造する工程と類似しており、スパイラル電極10の形状等が異なるのみであるといえる。したがって、一般のMOS-FETやバイポーラトランジスタと同一基板上に形成することが可能であり、ICやLSIの一部として形成することができる。しかも、ICやLSIの一部として形成した場合には、後工程における部品の組み付け作業を省略することができる。

【0081】このように、本実施例のLC素子100は、渦巻き形状のスパイラル電極10とこれに対応して形成されるチャンネル22のそれぞれがインダクタを形成するとともに、これらスパイラル電極10とチャンネル22の間には分布定数的にキャパシタが形成される。

【0082】したがって、スパイラル電極10の一方端に設けられたアース電極16を接地あるいは固定電位に接続するとともに、チャンネル22を信号の入出力路として用いた場合には、入力された信号に対して広い帯域で良好な減衰特性を有するLC素子となる。

【0083】また、上述したようにこのLC素子100は、一般のMOS-FET等の製造技術を応用して製造することができるため、製造が容易であり小型化等にも適している。また、半導体基板の一部としてLC素子を製造した場合には、他の部品との配線も同時に行うことができ、後工程における組み付け作業等が不要となる。

【0084】また、本実施例のLC素子100は、スパイラル電極10に印加するゲート電圧(コントロール電圧 $V_c$ )の値を変えることによりチャンネル22の抵抗値を可変に制御することができ、LC素子100の特性をある範囲で調整あるいは変更することができる。

【0085】なお、上述した第1実施例は、渦巻き形状のスパイラル電極10に対応して形成されるチャンネル22を信号の入出力路として用いたが、チャンネル22と電極10の機能を入れ替えるようにしてもよい。すなわち、図10に示すように、スパイラル電極10の両端に入出力電極18、20を接続することによりこのスパイラル電極10を信号の入出力路として用いるとともに、チャンネル22の一方端に形成されたソース12(あるいはドレイン14)にアース電極16を接続し、このアース電極16を接地あるいは可変の固定電位に接続する。

【0086】一般に、アース電極16に接続される側のインダクタ導体の抵抗値を小さくした方が特定の周波数成分について急峻な減衰特性を有するLC素子となることが知られている。したがって、図1に示したLC素子(スパイラル電極10側が接地)に比べると図10に示したLC素子(チャンネル22側が接地)の方が小さなQを有し、特定の周波数成分について緩やかな減衰特性を

有することになる。

【0087】但し、上述した場合にはソース16あるいはドレイン14のいずれか一方にアース電極16を接続することになるため、他方を省略することができる。

【0088】また、上述した第1実施例は、スパイラル電極10に印加する電圧レベルをサブストレート24に比べて相対的に高くしたときにチャンネル22が形成されるエンハンスメント型のLC素子について説明したが、デプレッション型とすることもできる。すなわち、図1等に示したチャンネル22の領域に予めキャリア(n型不純物)を注入することによりnチャンネルを形成しておく。これにより、スパイラル電極10の電位をサブストレート24の電位よりも相対的に高くすることなくチャンネル22を形成することができ、あるいは印加するゲート電圧とチャンネル幅等との関係を変えることができる。また、注入するキャリアは電極10に沿った一部の領域のみに注入してもよい。

【0089】〔第2実施例〕次に、本発明の第2実施例のLC素子について、図面を参照しながら具体的に説明する。

【0090】上述した第1実施例のLC素子100は、渦巻き形状のスパイラル電極10とこれに対応して形成されるチャンネル22とがほぼ全長にわたって平行に、すなわちほぼ同一の長さ形成されたものであるが、本実施例のLC素子200は、図1に示したスパイラル電極10を約1ターン分短くするとともに、この削除した部分に対応するp-Si基板30の表面にキャリアを注入した点に特徴がある。

【0091】図11は、第2実施例のLC素子200の平面図である。同図に示すように、第2実施例のLC素子200は、p-Si基板30の表面付近の隔たった位置に形成されたソース12とドレイン14の間をチャンネル22によって接続することにより形成されている。このチャンネル22の外周側の約半分は、ゲートとして機能する渦巻き形状のスパイラル電極10に対応している。一方、チャンネル22の内周側の約半分は、不純物であるn型キャリアを予め注入しておいて、対応するスパイラル電極10がない場合であっても渦巻き形状のチャンネル22が形成されるようになっている。

【0092】このように、スパイラル電極10の一部を省略してスパイラル電極10の長さをチャンネル22よりも短くした場合であっても、短くなった渦巻き形状のスパイラル電極10が一方のインダクタ導体として機能するとともに、渦巻き形状のチャンネル22が他方のインダクタ導体として機能することになりはなく、図1に示した第1実施例のLC素子100と同様に良好な減衰特性を有する。特に、本実施例のLC素子200は、スパイラル電極10の長さを任意に設定することができることから、分布定数的に形成されるキャパシタの容量値も任意に設定することができ、設計の自由度が増すことに

もなる。

【0093】図12は、本実施例のLC素子200の等価回路を示す図である。同図に示すように、スパイラル電極10のターン数が少なくなった分だけインダクタンスL3も小さくなり、これに対応して分布定数的に存在するキャパシタンスC1も小さくなる。したがって、図1等に示したLC素子100とは周波数特性が異なる素子となり、このスパイラル電極10の長さ（ターン数）を調整することにより、ある範囲で周波数特性を調整あるいは変更することができるようになる。

【0094】また、アース電極16に印加するゲート電圧を変えることにより、スパイラル電極10に対応して形成されるチャンネル22の抵抗値を変化させることができ、LC素子200の減衰特性を可変に制御できる点は上述した第1実施例のLC素子100と同様である。

【0095】このように、本実施例のLC素子200は、電極10とチャンネル22とによりインダクタとキャパシタが分布定数的に形成され、良好な減衰特性をもった素子として機能することになる。

【0096】また、LC素子200を半導体製造技術を利用して製造できる点や、LSI等の一部として形成することができる点とともに、この場合には後工程における配線処理を省略できる点、ゲート電圧を変えることにより減衰特性を変更できる点等については上述した第1実施例のLC素子100と同じであり、これらについては第1実施例と同様の利点を有する。

【0097】なお、本実施例のLC素子200は、チャンネル22を信号の入出力路として用いたが、スパイラル電極10とチャンネル22の機能を入れ換えて、スパイラル電極10を信号の入出力路として用い、チャンネル22側を接地あるいは固定電位に接続するようにしてもよい。特に、この場合において、チャンネル22をスパイラル電極10に比べて短くするには、一部にp型不純物を多量に注入しておいて、渦巻き形状のチャンネル22が形成された際にこのp型不純物を多量に注入した部分でチャンネル22を分断すればよく、また、このような多量のp型不純物を注入する代わりにp-Si基板30の一部をエッチングにより掘り下げて、チャンネル22を分断するようにしてもよい。

【0098】〔第3実施例〕次に、本発明の第3実施例のLC素子について、図面を参照しながら具体的に説明する。

【0099】上述した第1実施例のLC素子100および第2実施例のLC素子200は、3端子のノーマルモード型素子として機能するものであるが、本実施例のLC素子300は、4端子のコモンモード型素子として機能するよう形成されている点に特徴がある。

【0100】図13は、第2実施例のLC素子の平面図である。同図に示すように、第3実施例のLC素子300は、p-Si基板30の表面付近の隔たった位置に形

成されたソース12とドレイン14の間をスパイラル電極10に対応して形成されるチャンネル22によって接続することにより形成されている。また、このスパイラル電極10の両端には入出力電極46、48が接続されており、この点が図1に示したLC素子100と異なっている。

【0101】図14は、第3実施例のLC素子の等価回路を示す図である。同図に示すように、2つの入出力電極18、20の間にソース12およびドレイン14を介して形成されたチャンネル22がインダクタンスL1を有するインダクタとして機能するとともに、2つの入出力電極46、48間に形成されたスパイラル電極10がインダクタンスL2を有するインダクタとして機能する。しかも、これらチャンネル22とスパイラル電極10とがそれぞれ信号の入出力路として使用されるときに、これらの間には第1実施例のLC素子100と同様にキャパシタンスCを有するキャパシタが分布定数的に形成される。

【0102】このように、本実施例のLC素子300は、スパイラル電極10に対応して形成されるチャンネル22のみならずスパイラル電極10の両端にも2つの入出力電極46、48を設けることにより、良好な減衰特性をもった4端子コモンモード型素子として機能することができる。

【0103】また、上述したLC素子100、200と同様に、スパイラル電極10に印加するゲート電圧を変えることにより、スパイラル電極10に対応して形成されるチャンネル22の抵抗値を変えることができ、LC素子300の減衰特性をある範囲で可変に制御することができる。

【0104】また、上述した構造の違い（すなわちこの構造の違いに起因する特性の相違）を除けば、本実施例のLC素子300は上述した第1実施例および第2実施例と同じ断面構造等を有しており、このLC素子300をMOS製造技術を利用して製造することができる点、LSI等の一部として形成することができる点等については上述した第1実施例のLC素子100等と同じである。

【0105】〔第4実施例〕次に、本発明の第4実施例のLC素子について、図面を参照しながら具体的に説明する。

【0106】上述した各実施例のLC素子は、渦巻き形状のスパイラル電極10を1本の導体で形成していたが、本実施例のLC素子400はこの電極10を複数に分割（例えば2分割）した点に特徴がある。

【0107】図15は、第4実施例のLC素子の平面図である。同図に示すように、第4実施例のLC素子400は、図1に示したLC素子100に用いられている渦巻き形状のスパイラル電極10を2本の分割電極片10

10

20

30

40

50

ー1, 10-2に置き換えた構造を有している。全体として渦巻き形状を有するこれらの分割電極片10-1, 10-2のそれぞれの一方端(外周側にある分割電極片10-1については外周側端部、内周側にある分割電極片10-2については内周側端部)にはアース電極16が接続されており、2つのアース電極16を接地することにより、各分割電極片10-1, 10-2のそれぞれによって形成されるインダクタの一部が接地される。あるいは2つのアース電極16を固定電位の電源に接続することにより、各分割電極片10-1, 10-2のそれ

れによって形成されるインダクタの一部がこの固定電位となる。  
【0108】なお、電極10を2分割してあるので各分割電極片間には隙間ができることになり、このままではチャンネル22が分断されるおそれがある。そのため、本実施例では、この各分割電極片間の隙間部分に対応するp-Si基板30の表面にn型不純物を注入した拡散領域13が設けられており、各分割電極片10-1, 10-2のそれぞれに対応して形成される2本のチャンネル22がこの拡散領域13を介して1本の導体として機能するようになっている。

【0109】図16は、第4実施例のLC素子400の等価回路を示す図である。同図に示すように、2本の分割電極片10-1, 10-2に対応して形成されるチャンネル22の全体がインダクタンスL1を有するインダクタとして機能するとともに、各分割電極片10-1, 10-2がインダクタンスL4, L5を有するインダクタとして機能する。そして、チャンネル22と分割電極片10-1あるいはチャンネル22と分割電極片10-2のそれぞれがキャパシタンスC2, C3を有するキャパシタとして機能し、しかもこれらのキャパシタが分布定数的に形成される。

【0110】本実施例のLC素子400は、各分割電極片10-1, 10-2の自己インダクタンスL4, L5が小さくなる。したがって、これらの自己インダクタンスによるLC素子400全体の特性への影響は小さくなり、チャンネル22が有するインダクタンスL1と分布定数的に形成されるキャパシタンスC2, C3とによってLC素子400全体の特性がほぼ決定されることになる。このため、スパイラル電極10の分割状態を変えることにより、第1実施例等にしたLC素子とは異なる特性を有するLC素子を形成することができ、設計の自由度が増すことになる。

【0111】また、スパイラル電極10に印加するゲート電圧を変えることによりLC素子400全体の特性を可変に制御できる点は上述した各実施例と同様である。

【0112】なお、図15に平面構造を示した本実施例のLC素子400は、チャンネル22を信号の入出力路として用いるとともに渦巻き形状のスパイラル電極10を2分割したが、これとは反対にスパイラル電極10側を

複数に分割するようにしてもよい。この場合には、スパイラル電極10に電圧が印加された状態でチャンネル22側を電氣的に複数に分割する必要があるため、このチャンネル22が形成される位置の一部に予めp型不純物を多量に注入したり、エッチング等によりp-Si基板30の一部を掘り下げることにより、チャンネル22が複数に分断されるようにすればよい。

【0113】〔その他の実施例〕次に、本発明のその他の実施例に係るLC素子について、図面を参照しながら具体的に説明する。

【0114】図17および図18は、化学液相法を用いて端子付けを行う場合の概略を示す図である。図17には本実施例において端子付けを行うLC素子の平面構造が示されており、例えば第1実施例のLC素子100

(他の実施例のLC素子に端子付けを行う場合も同様である)に化学液相法による端子付けを行う場合が示されている。図17に示したLC素子は、第1実施例に示したLC素子100と比較すると、2つの入出力電極18, 20を短く設定するとともに、アース電極16を削除した点が異なっている。また、図18には図17のA-A線拡大断面が示されている。

【0115】図17に示す断面構造を有する半導体基板を1個のLC素子ごとに切り離した後に、個別に切り離されたチップ(素子)の全表面に化学液相法により絶縁膜としてシリコン酸化膜60を形成する。その後、エッチングにより電極10あるいは入出力電極18, 20上のシリコン酸化膜60を除去して孔をあけ、その孔を半田62で表面に盛り上がる程度に封じることにより、突出した半田62をプリント配線基板のランドと直接接触させることができる。したがって、表面実装する場合には好都合となる。特に、図18に示した入出力電極18(入出力電極20も同様)とスパイラル電極10の高さを同じにすることにより、突出した半田62もほぼ同一の高さに形成することができ、表面実装に際してさらに好都合である。

【0116】なお、素子表面の保護膜に合成樹脂等の他の絶縁材料を使用してもよく、保護膜の穿孔にレーザ光線を利用してもよい。また、図17に示した平面図において、スパイラル電極10の一方端にアース電極16を形成しておき、この一部に半田62を盛るようにしてもよい。

【0117】図19は、上述した各実施例のLC素子を実際のLSI等の一部として形成する場合の説明図である。同図に示すように、半導体チップ44上の各種信号あるいは電源のライン46に上述した各実施例のLC素子100等を挿入する形で組み込む。特に、上述した各実施例のLC素子は、半導体チップ44上に各種回路を形成する工程において同時に製造することができるため、後工程における配線処理等が不要になるといった利点がある。

【0118】次に、上述した各実施例のLC素子を実際の回路の一部として使用する場合の一例について説明する。なお、以下に説明する各図面においては、第1実施例のLC素子100を用いた各種回路を示してあるが、同様に第2実施例以下の各実施例のLC素子を用いる場合であってもよい。

【0119】一般に、上述した各実施例のLC素子においてインダクタを形成するチャンネル22は高抵抗を有し、しかもこのチャンネル22の全長が長いので、2つの入出力電極18、20間で信号の電圧レベルの減衰が生じる。そのため、実際に各実施例のLC素子を回路の一部として使用する場合には、出力側に高入力インピーダンスのバッファを接続することにより実用的な構成となる。

【0120】図20は、出力側にバッファを接続した例を示す図である。同図(A)は、バッファとしてMOS-FETと抵抗からなるソースホロウ回路32を用いた場合を示している。このソースホロウ回路32を構成するMOS-FETは上述した各実施例のLC素子と同じMOS構造を有しているため、このソースホロウ回路32を含めた全体をLC素子として一体的に形成することができる。

【0121】また、同図(B)は、バッファとして2つのバイポーラトランジスタと抵抗からなるエミッタホロウ回路34を用いた場合を示している。各実施例のLC素子とバイポーラトランジスタでは構造は若干異なるものの同一の半導体基板上に形成することが可能であるため、このエミッタホロウ回路34を含めた全体をLC素子として一体的に形成することができる。

【0122】このように出力側にバッファを設けることにより、LC素子100等のインダクタ部分(チャンネル22)によって減衰した信号レベルが増幅によって復元されて、SN比が良好な出力信号を得ることが可能になる。

【0123】図21は、出力側にレベル変換回路を接続した例を示す図である。同図(A)は、レベル変換回路として2つのエミッタホロウ回路36、38を直列に接続した場合を示している。同図(B)は、レベル変換回路として2つのソースホロウ回路40、42を直列に接続した場合を示している。

【0124】このように、出力側にレベル変換回路を接続することにより、LC素子100等のインダクタ部分によって減衰した信号レベルが増幅されるとともに、所定のレベル変換あるいはレベル補正を容易に行うことができる。

【0125】なお、これらのレベル変換回路をLC素子と同一の基板に一体的に形成することができる点は、上述したバッファの場合と同じである。

【0126】図22は、上述した各実施例のLC素子に入力保護回路を追加した場合の構成の一例を示す図であ

る。MOS構造を有する各実施例のLC素子は、スパイラル電極10の一方端に設けられたアース電極16等に静電気によって発生する高電圧が印加されると、スパイラル電極10とp-Si基板30との間に介在する絶縁層26(ゲート膜)が破壊される。したがって、この静電気による絶縁層26の破壊を防止するために保護回路が必要となる。

【0127】同図に示す保護回路は、ともに複数のダイオードと抵抗とにより構成されており、スパイラル電極10に高電圧が印加されると、動作電源ライン側あるいは筐体アース側に電流がバイパスされるようになっている。特に同図(A)の回路では数100V、同図(B)の回路では1000~2000Vの静電耐量があり、使用環境等に応じて使用する保護回路を適宜選択することができる。

【0128】なお、本発明は上記各実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0129】例えば、上述した各実施例においては、LC素子100等をLSI等の一部として形成できる点を効果としてあげたが、必ずしもLSI等の一部として形成する必要はなく、半導体基板上にLC素子100等を形成した後にアース電極16及び入出力電極18、20のそれぞれに端子付けを行って、あるいは図17および図18に示したような化学液相法を利用して端子付けを行って、単体の素子として形成するようにしてもよい。この場合には、同一の半導体基板上に複数個のLC素子100を同時に形成し、その後半導体基板を切り離して各LC素子に端子付けを行うようにすれば、容易に大量生産が可能となる。

【0130】また、上述した各実施例においては、電極10の一方の端部にアース電極16を設けるようにしたが、必ずしも最端部に設ける必要はなく、周波数特性を検討した後に必要に応じてその取り付け位置をずらすようにしてもよい。

【0131】また、上述した各実施例のLC素子は、p-Si基板30を利用して形成したが、同様にn型半導体基板(n-Si基板)を利用して形成するようにしてもよい。また、半導体基板はゲルマニウム等のシリコン以外の材料、あるいは非晶質材料であるアモルファスシリコン等を用いるようにしてもよい。

【0132】

【発明の効果】上述したように、請求項1の発明によれば、インダクタとキャパシタとが分布定数的に存在し、広い帯域にわたって良好な減衰特性を有するLC素子が形成されており、渦巻き形状の電極に対応して形成されるチャンネルの一方端に入力された信号からは、分布定数的に存在するインダクタおよびキャパシタを介して伝搬される際に、ノイズ等の特定周波数成分のみが除去される。また、この発明によれば、半導体基板上にソースおよ



びドレインを形成するとともに、さらにその表面に絶縁層と渦巻き形状の電極を形成することにより LC 素子を製造することができ、製造が非常に容易となる。また、この LC 素子は、半導体基板上に形成されるため、IC や LSI の一部として形成することも可能であり、このような部品の一部として形成した場合には、後工程における部品の組み付け作業を省略することができる。

【0133】また、請求項 2 の発明によれば、入出力信号路としてチャンネルを使用する代わりに上述した渦巻き形状のスパイラル電極を用いており、上述した請求項 1 の発明と同様に、広い帯域において十分な減衰特性を有する LC 素子が形成され、しかも製造が容易であり基板の一部として形成することが可能となる。

【0134】また、請求項 3 の発明によれば、渦巻き形状の電極に対応する位置に予めキャリアが注入されており、デプレッション型の素子が形成されており、LC 素子の特性そのものは変えずに、渦巻き形状の電極に電圧（ゲート電圧）を印加しない状態でチャンネルを形成し、あるいは印加するゲート電圧とチャンネル幅や深さ等との関係を変更することができるため、設計の自由度を増すことができる。

【0135】また、請求項 4 の発明によれば、渦巻き形状の電極とチャンネルのいずれか一方を短く形成しており、この場合であっても同様に、長さが異なる渦巻き形状の電極とチャンネルのそれぞれはインダクタとして機能し、これらの間には絶縁層を挟んで形成されるキャパシタが分布定数的に存在する。したがって、この LC 素子は広い帯域にわたって良好な減衰特性を有する LC 素子が形成され、しかも製造が容易であり基板の一部として形成することができる。

【0136】また、請求項 5 または 6 の発明によれば、渦巻き形状の電極を複数に分割し、あるいはチャンネルを複数に分割しており、各分割片の自己インダクタンスの影響が少ない分布定数型の LC 素子を形成することができる。したがって、分割の仕方によって周波数特性が異なる LC 素子を形成することができ、設計の自由度を増すことができる。

【0137】また、請求項 7 の発明によれば、渦巻き形状の電極に対応して形成されるチャンネルの両端付近のソースおよびドレインに接続される第 1 および第 2 の入出力電極を設けるとともに、渦巻き形状の電極の一方端近傍にアース電極を設けることにより、チャンネルが信号入出力路として使用される 3 端子型の LC 素子を容易に形成することができる。

【0138】また、請求項 8 の発明によれば、渦巻き形状の電極の両端付近に第 1 および第 2 の入出力電極を設けるとともに、チャンネルの一方端に形成されたソースあるいはドレインに接続されたアース電極を設けることにより、渦巻き形状の電極が信号入出力路として使用される 3 端子型の LC 素子を容易に形成することができる。

【0139】また、請求項 9 の発明によれば、渦巻き形状の電極の両端付近に第 1 および第 2 の入出力電極を設けるとともに、この渦巻き形状の電極に対応するチャンネルの両端付近に形成されたソースおよびドレインに第 3 および第 4 の入出力電極を設けることにより、4 端子コモンモード型の LC 素子を容易に形成することができる。

【0140】また、請求項 10 の発明によれば、渦巻き形状の電極に印加するゲート電圧を可変に設定することにより、この渦巻き形状の電極に対応して形成されるチャンネルの抵抗値を変化させることができ、全体としての減衰特性、すなわち周波数特性を必要に応じて可変に制御することができる。

【0141】また、請求項 11 の発明によれば、上述した各請求項の LC 素子を基板の一部に、信号ラインあるいは電源ラインに挿入するように形成しており、半導体基板上の他の部品と一体的に製造することができ、製造が容易になるとともに後工程における部品の組み付け作業が不要となる。

【0142】また、請求項 12 の発明によれば、上述した LC 素子を半導体基板上に形成した後に化学液相法により全表面に絶縁膜を形成し、その後この絶縁膜の一部に孔を明け、この孔に半田を盛ることにより端子付けを行って表面実装型の素子を容易に製造することができる。また、表面実装型とすることによりこの LC 素子の組み付け作業も容易となる。

【0143】また、請求項 13 の発明によれば、LC 素子のチャンネルを介して出力される信号をバッファを介することにより増幅しており、チャンネルを介することにより電圧レベルが減衰した信号を、SN 比が良好な元の信号に復元することが可能となる。

【0144】また、請求項 14 の発明によれば、LC 素子の出力側にレベル変換回路が接続されており、チャンネルを介して減衰した信号の電圧レベルを復元するとともに、所定のレベルの変換あるいはレベル補正を行なうことが可能となる。

【0145】また、請求項 15 の発明によれば、渦巻き形状の電極に保護回路が接続されており、この渦巻き形状の電極に対して静電気等による過電圧が印加されると、動作電源ライン側あるいはアース側にバイパス電流が流れ、渦巻き形状の電極と半導体基板との間の絶縁破壊を防止することができる。

【0146】また、請求項 16 および請求項 17 の発明によれば、上述した各 LC 素子を一般的な半導体製造技術（特に MOS 製造技術）を応用することにより製造することができ、小型化および低コスト化が可能であるとともに、複数個同時に大量生産することも可能となる。

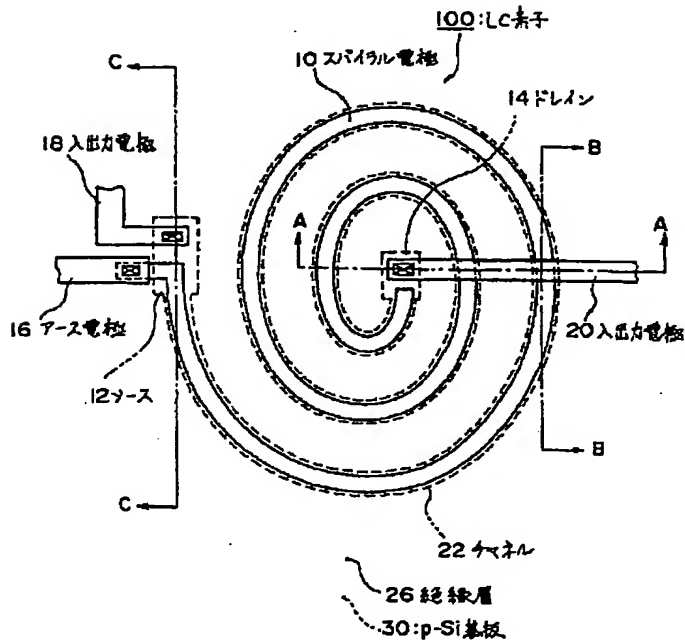
【図面の簡単な説明】

【図 1】本発明を適用した第 1 実施例の LC 素子の平面図である。



- 【図 2】図 1 の A-A 線拡大断面図である。  
 【図 3】図 1 の B-B 線拡大断面図である。  
 【図 4】図 1 の C-C 線拡大断面図である。  
 【図 5】チャンネルが形成される状態を示す図である。  
 【図 6】第 1 実施例の LC 素子のスパイラル電極に沿った断面構造を示す図である。  
 【図 7】第 1 実施例の LC 素子の等価回路を示す図である。  
 【図 8】チャンネルの抵抗値を説明するための図である。  
 【図 9】第 1 実施例の LC 素子の製造工程を示す図である。  
 【図 10】第 1 実施例の LC 素子の變形例を示す図である。  
 【図 11】第 2 実施例の LC 素子の平面図である。  
 【図 12】第 2 実施例の LC 素子の等価回路を示す図である。  
 【図 13】第 3 実施例の LC 素子の平面図である。  
 【図 14】第 3 実施例の LC 素子の等価回路を示す図である。  
 【図 15】第 4 実施例の LC 素子の平面図である。  
 【図 16】第 4 実施例の LC 素子の等価回路を示す図である。

【図 1】

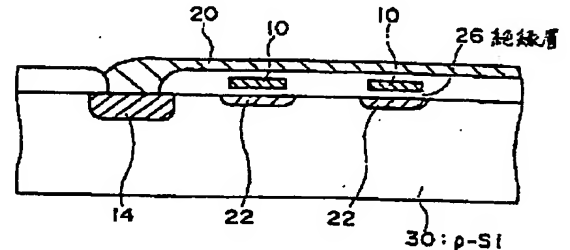


- 【図 17】化学液相法を用いて端子付けを行う場合の概略を示す図である。  
 【図 18】化学液相法を用いて端子付けを行う場合の概略を示す図である。  
 【図 19】各実施例の LC 素子を LSI 等の一部として形成する場合の説明図である。  
 【図 20】各実施例の LC 素子の出力側にバッファを接続した例を示す図である。  
 【図 21】各実施例の LC 素子の出力側にレベル変換回路を接続した例を示す図である。  
 【図 22】各実施例の LC 素子の入力側に保護回路を接続した例を示す図である。

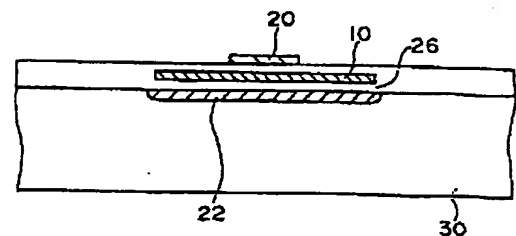
## 【符号の説明】

- 10 スパイラル電極  
 12 ソース  
 14 ドレイン  
 16 アース電極  
 18, 20 入出力電極  
 22 チャンネル  
 26 絶縁層  
 30 p型シリコン (p-Si) 基板  
 100 LC素子

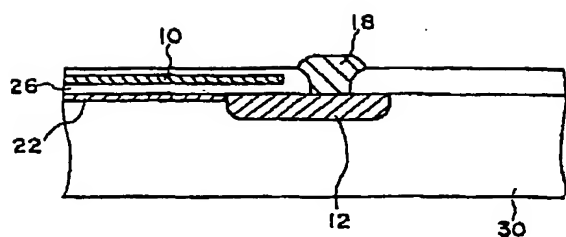
【図 2】



【図 3】

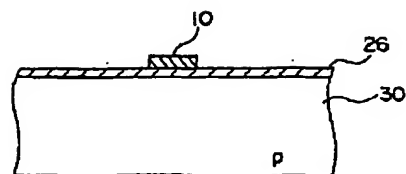


【図 4】

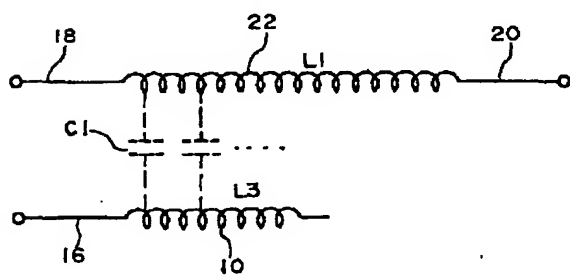


【図 5】

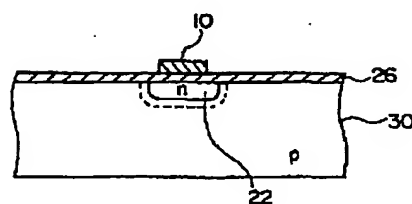
(A)



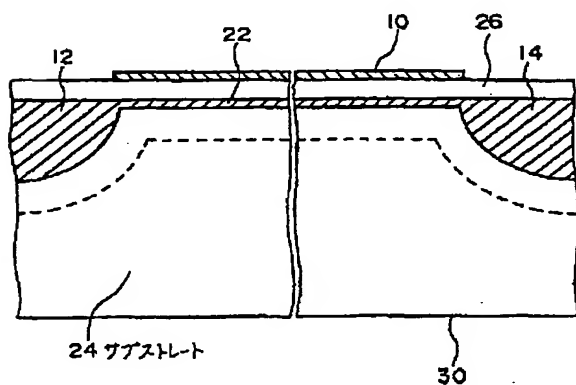
【図 12】



(B)

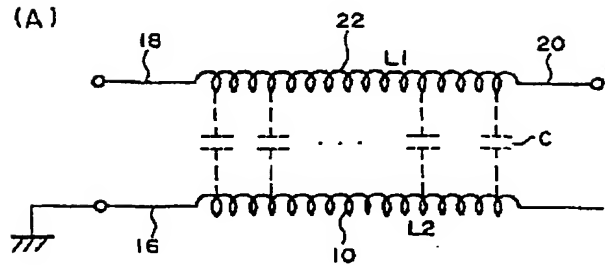


【図 6】

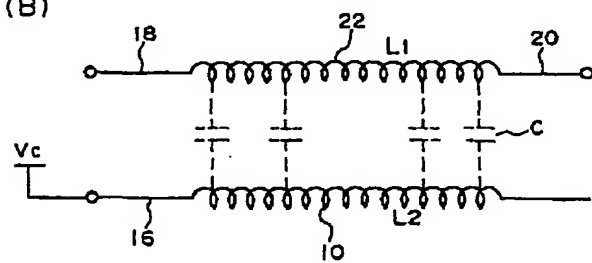


【図 7】

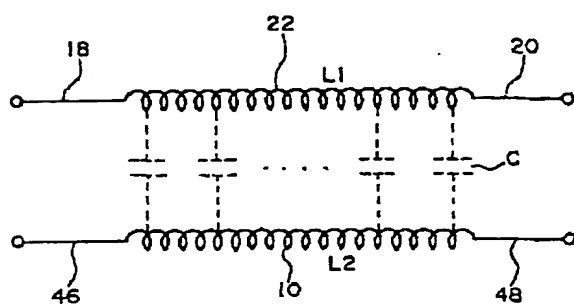
(A)



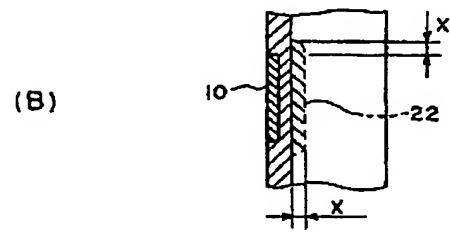
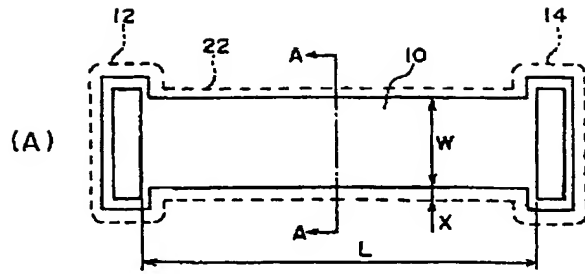
(B)



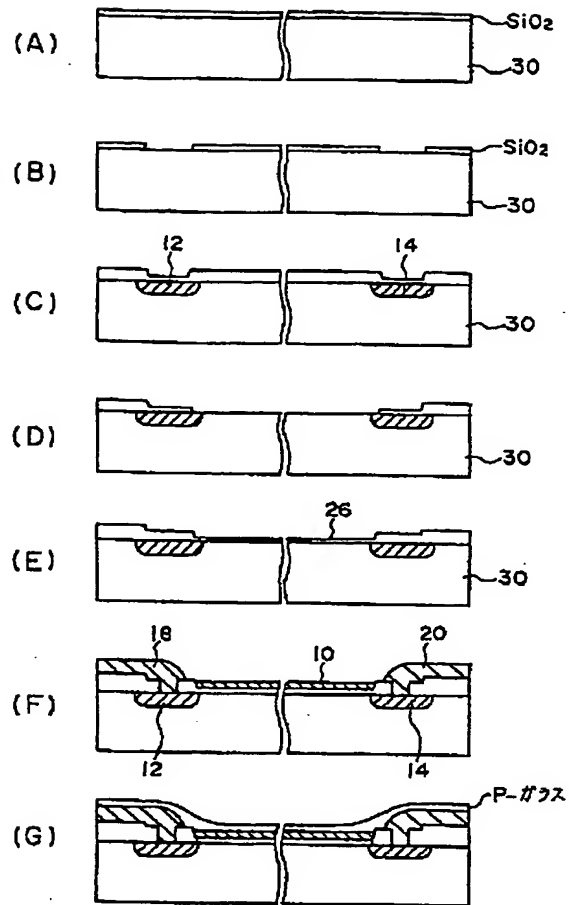
【図 14】



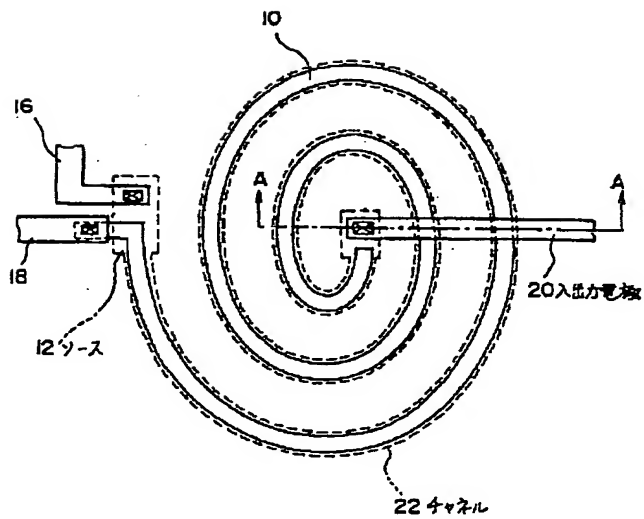
【図 8】



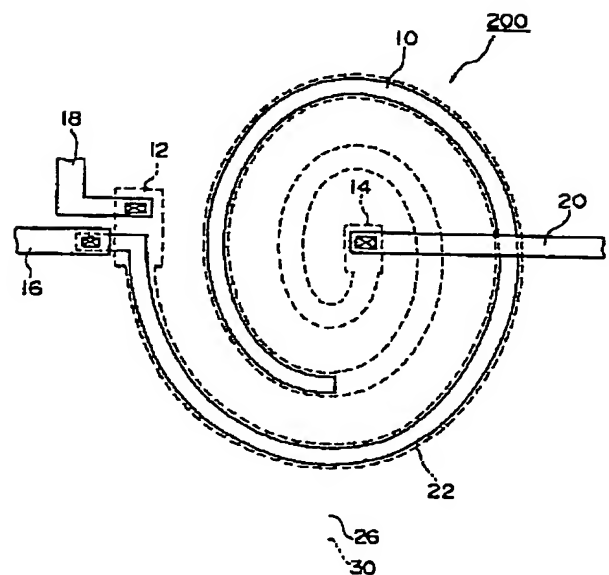
【図 9】



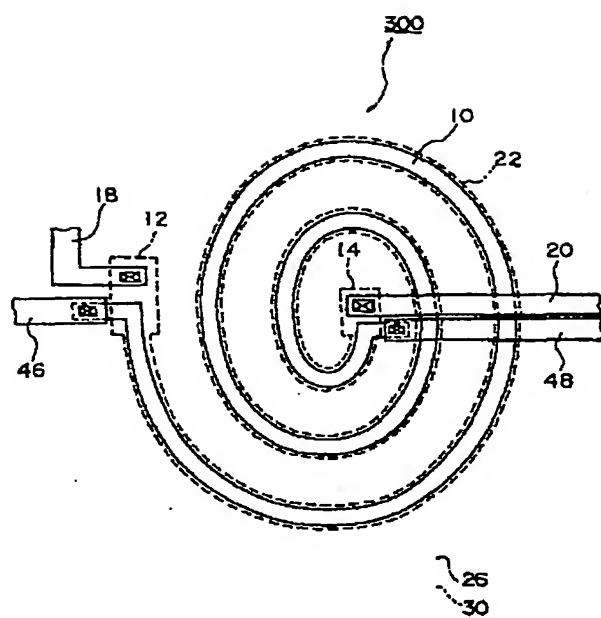
【図 10】



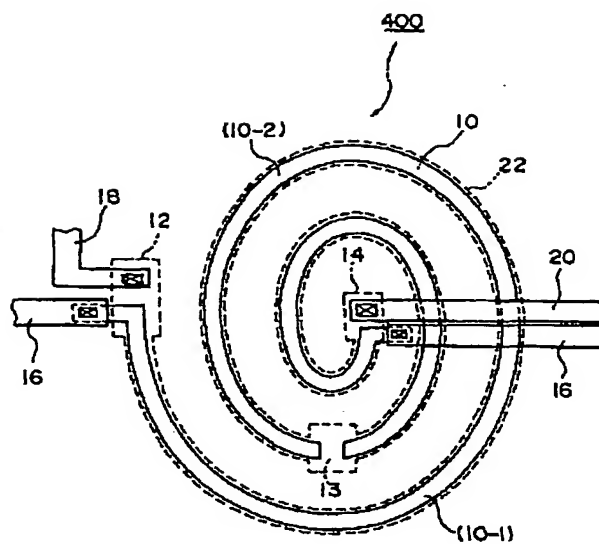
【図 11】



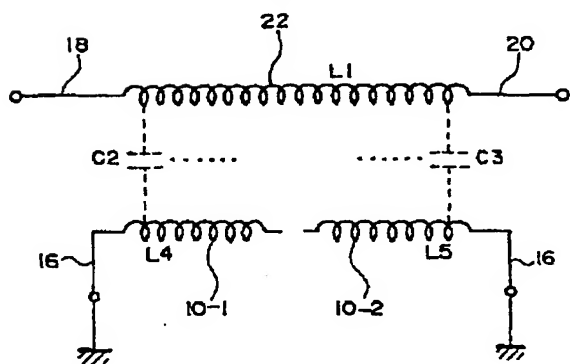
【図 13】



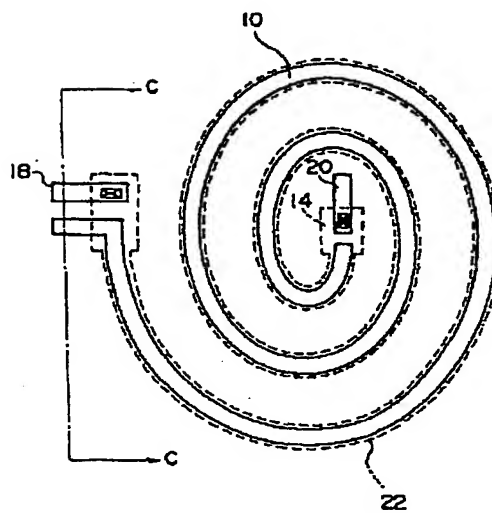
【図 15】



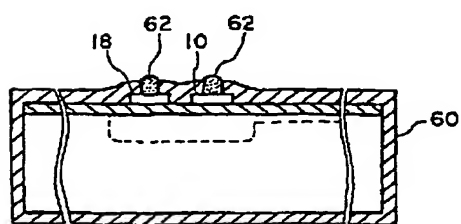
【図 16】



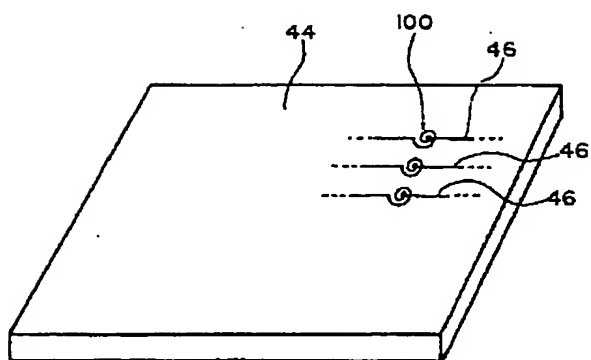
【図 17】



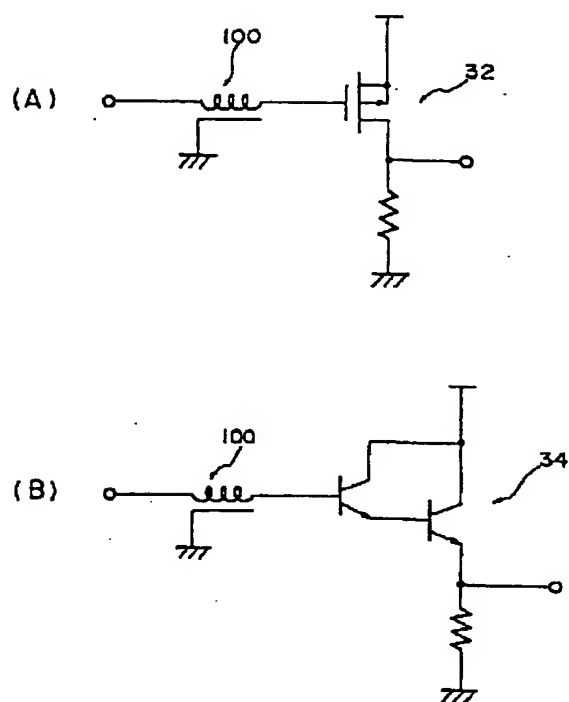
【図 18】



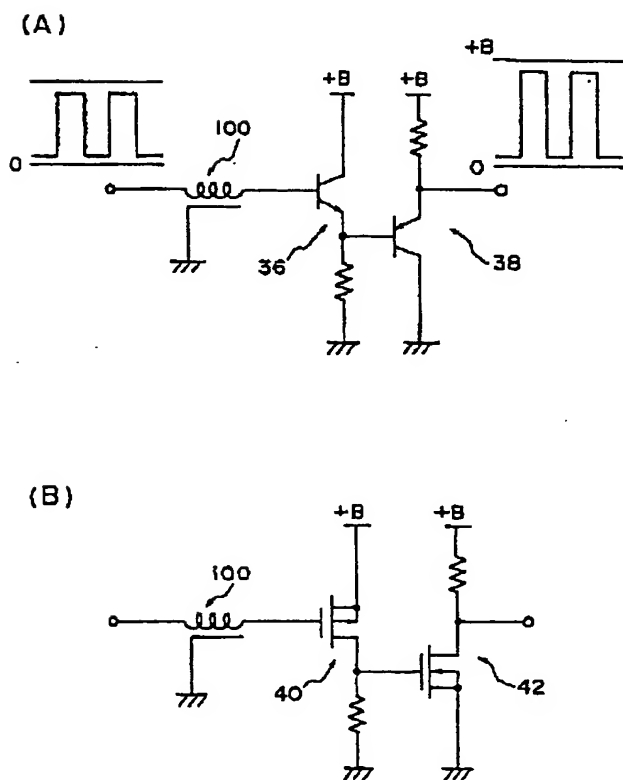
【図 19】



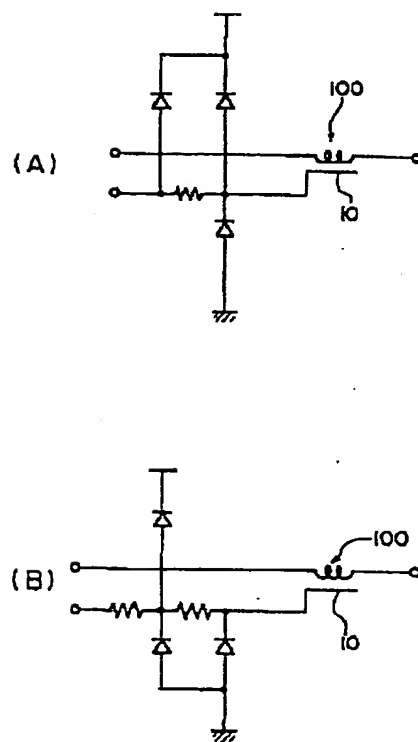
【図 20】



【図 21】



【図 22】



フロントページの続き

(51)Int.Cl.<sup>9</sup>

識別記号

F I

H01L 27/04

L

H01F 15/00

D

8123-5E

H01G 4/40

321

A

9174-5E

H01L 27/04

C